

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 09102627

(43)Date of publication of application: 15.04.1997

(51)Int.Cl.

H01L 31/107

(21)Application number: 07259623

(71)Applicant:

CANON INC

(22)Date of filing: 06.10.1995

(72)Inventor:

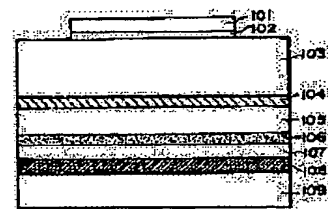
KOZUKA HIRAKI
SUGAWA SHIGETOSHI

(54) PHOTOELECTRIC CONVERSION DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a dark current caused by interfacial defect of a carrier multiplication layer and a charge injection blocking layer, by forming a charge relaxation region which has the same conductivity type as the charge injection blocking region and impurity concentration lower than in the charge injection blocking region, between the carrier multiplication region and the charge injection blocking region.

SOLUTION: An electric field relaxation region 106 relieves an electric field between a carrier multiplication region 105 and a positive hole injection blocking region 107, and reduces a dark current. By using the electric field relaxation region 106, a junction mode of the carrier multiplication region 105/the electric field relaxation region 106/the positive hole injection blocking region 107 is obtained. Intermediate material of the material which is used for the carrier multiplication region 105 is used as the electric field relaxation region 106. Thereby the carrier multiplication region 105/the electric field relaxation region 106 interface of lower defect than the conventional one can be obtained.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平 9 - 1 0 2 6 2 7

(43)公開日 平成9年(1997)4月15日

(51)Int. Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 31/107

H 0 1 L 31/10

B

審査請求 未請求 請求項の数 6

O L

(全 1 1 頁)

(21)出願番号 特願平7-259623

(22)出願日 平成7年(1995)10月6日

(71)出願人 000001007

キャノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 小塚 開

東京都大田区下丸子3丁目30番2号 キャノ
ン株式会社内

(72)発明者 須川 成利

東京都大田区下丸子3丁目30番2号 キャノ
ン株式会社内

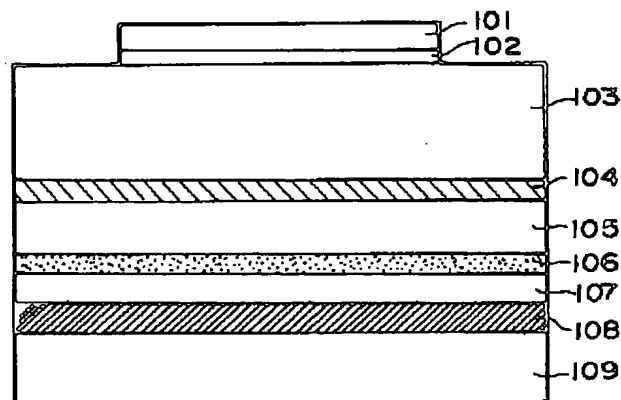
(74)代理人 弁理士 山下 穰平

(54)【発明の名称】 光電変換装置

(57)【要約】

【目的】 非単結晶半導体からなるリーチスルー型の光電変換装置において、キャリア増倍領域と電荷注入阻止層の界面欠陥に起因する暗電流を低減することが可能な、新規な構造の光電変換装置を提供する。

【構成】 少なくとも光吸収領域 103、第1導電型領域 104、キャリア増倍領域 105、第2導電型の電荷注入阻止領域 107 から成るリーチスルー型アバランシェフォトダイオードにおいて、前記キャリア増倍領域 105 と前記電荷注入阻止領域 107 との間に、前記第2導電型の電荷注入阻止領域 107 よりも不純物濃度が小さく、かつ第2導電型を有する電界緩和領域 106 を設けたことを特徴とする光電変換装置。



【特許請求の範囲】

【請求項1】 少なくとも光吸収領域、第1導電型領域、キャリア増倍領域、第2導電型の電荷注入阻止領域から成るリーチスルー型アバランシェフォトダイオードにおいて、

前記キャリア増倍領域と前記電荷注入阻止領域との間に、前記第2導電型の電荷注入阻止領域よりも不純物濃度が小さく、かつ第2導電型を有する電界緩和領域を設けたことを特徴とする光電変換装置。

【請求項2】 前記第1導電型はp導電型、上記第2導電型はn導電型であることを特徴とする請求項1に記載の光電変換装置。

【請求項3】 前記光吸収領域、第1導電型領域、キャリア増倍領域、第2導電型領域は非単結晶半導体から成ることを特徴とする請求項1に記載の光電変換装置。

【請求項4】 前記電界緩和領域の第2導電型領域と前記電荷注入阻止領域との間に、i型領域を設けたことを特徴とする請求項3に記載の光電変換装置。

【請求項5】 前記キャリア増倍領域は、最小禁制帯幅 E_g1 及び最大禁制帯幅 E_g2 なる禁制帯幅を交互に備え、かつ両禁制帯幅の間でその禁制帯幅が連続的に変化する構造になる1層あるいは複数層で構成されることを特徴とする請求項3又は4に記載の光電変換装置。

【請求項6】 前記最小禁制帯幅 E_g1 は、非晶質シリコン、または非晶質シリコンゲルマニウムからなり、前記最大禁制帯幅 E_g2 は非晶質シリコンカーバイトから成ることを特徴とする請求項5に記載の光電変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は非単結晶半導体を用いた光電変換装置、特にアバランシェ増倍を用いた増幅型の光電変換装置に関わるものである。

【0002】

【従来の技術】非単結晶半導体を用いたPIN構造、またはショットキ構造の光電変換素子は広く一般に知られており、その中でも特にシリコンを主体とする非晶質半導体や微結晶半導体は低温で作製可能であり、かつ大面積化が容易であることから1次元ラインセンサや積層型固体撮像素子の光電変換部材として用いられている。

【0003】また、さらなる高感度化を目的として、非単結晶半導体中のアバランシェ現象を利用した増幅型の光電変換装置もいくつか提案されている。

【0004】例えば、非単結晶半導体のヘテロ接合のエネルギー一段差による衝突イオン化を利用した増幅型の光電変換装置、及び積層型固体撮像装置が本発明者らにより特開昭3-278482号公報に提案されている。

【0005】また、IEEE Transaction on Electron Device, vol. 37, No. 8, August 1990 pp1804には光吸収領域と増倍領域の間にp型半導体を設け、

かつ増倍領域を非晶質Si/非晶質SiCの多層構成としたリーチスルー型の非晶質アバランシェフォトダイオードが提案されている(図15)。

【0006】同様に、Jpn. J. Appl. Phys. vol. 32, (1993) ppL39-L41 Part 2, No. 1A/B, 15 Jan 1993には非晶質Siからなる光吸収領域と増倍領域の間にp型半導体を設け、かつ正孔の電荷注入を制御する目的で電荷注入阻止層であるn型半導体と金属電極との間に非晶質SiNを設けたリーチスルー型の非晶質アバランシェフォトダイオードが提案されている(図16)。

【0007】

【発明が解決しようとする課題】しかしながら、例えば、図15、図16に示した従来のリーチスルー型の光電変換装置においては暗電流抑制が非常に困難であるという問題を有している。これは、従来の構成においてはキャリア増倍領域でアバランシェ増倍を引き起こすために、キャリア増倍領域には例えば 7×10^5 (V/cm) (Jpn. J. Appl. Phys. vol. 32, (1993))もの強電界を印加する必要があり、この強電界によって増倍領域/電荷注入阻止層の界面欠陥からキャリアが生成され、暗電流の原因となっているからである。

【0008】従って、図15に示した構造ではキャリア増倍領域のi型a-Siと電荷注入阻止領域であるn+型a-Siとが接しており、上述した、増倍領域/電荷注入阻止層に起因する暗電流が問題となる。

【0009】また、図16に示した構造においては、電極からの正孔注入を阻止する目的で電極とn+a-Siとの間にa-SiNを設けているが、この構造に関してもキャリア増倍層とn+a-Siとの界面に起因する暗電流は問題となる。

【0010】一方、界面欠陥を低減する目的で、例えば水素プラズマ処理やアニールといった作成プロセスにおける手法も広く一般に知られているが、これらの手法を用いても、キャリア増倍領域とn+型a-Siの界面近傍は必然的に高電界が印加されるような構成となるため暗電流低減には不十分であった。

【0011】この界面欠陥に起因する暗電流は電界に対して指数関数的に増加するため、界面欠陥を低減するとともに、この界面欠陥が存在する部分の電界を緩和することが暗電流低減に対して最も効果的であると考えられる。

【0012】【発明の目的】本発明は上記事情に基づいてなされたもので、その目的とするところは上述の非単結晶半導体からなるリーチスルー型の光電変換装置において、キャリア増倍領域と電荷注入阻止層の界面欠陥に起因する暗電流を低減することが可能な、新規な構造の光電変換装置を提供することにある。

【0013】

【課題を解決するための手段】前記の問題を解決するために、本発明は、少なくとも光吸収領域、第1導電型領域、キャリア増倍領域、第2導電型電荷注入阻止領域から成るリーチスルー型アバランシェフォトダイオードにおいて、前記キャリア増倍領域と前記電荷注入阻止領域との間に前記第2導電型電荷注入阻止領域よりも不純物濃度が小さい第2導電型領域を設けたことをその手段とする。

【0014】尚、ここでいうリーチスルー構成とは、光吸収領域とキャリア増倍領域を有し、かつ前記光吸収領域とキャリア増倍領域との間に電界分布をコントロールするための不純物添加された半導体領域が存在する構成と定義する。

【0015】

【発明の実施の形態】

【実施形態及び作用】以下に図1、及び図2を用いて本発明の光電変換装置の実施態様例、及びその作用について説明する。

【0016】図1は本発明の光電変換装置の断面構造の概略図、図2は本発明の光電変換装置の逆バイアス時の模式的なエネルギー帯図である。

【0017】101は電極、102は電子注入阻止領域、103は光吸収領域、104はp型領域、105はキャリア増倍領域、106は電界緩和領域、107は正孔電荷注入阻止領域、108は電極、109は基体である。

【0018】101の電極としては例えばITO、ZnO、SnO₂、また半透明の金属電極など、光透過性を有する一般的な電極を用いることができ、その膜厚は100～10000Å程度で、抵抗率や光の透過率を考慮して決定することができる。

【0019】102の電子注入阻止領域は、この実施態様例の場合にはp型半導体、例えばp型非晶質Si、p型非晶質SiC、p型微結晶Si等の単層膜、または多層膜等を用いることができるが、103の光吸収領域と101の電極とのショットキ接合において電子に対して十分なショットキバリアを有する場合には、この電子注入阻止領域は省略してもかまわない。この電子注入阻止領域の膜厚は光吸収係数と光吸収領域に印加される電界とを考慮してその膜厚が決定されるが、具体的には1000Å以下が好ましい。

【0020】103は光吸収領域で、例えば非晶質Si、非晶質SiGe、非晶質SiC等が好適であり、検出される光の波長に合わせてそのバンドギャップを調整することができる。当然のことながら、この光吸収領域は一定のバンドギャップを有する必然性はなく、例えば連続的にバンドギャップが変化する構成、ヘテロ接合を有するような構成であっても構わない。この光吸収領域において検出されるべき光の大部分が吸収されるのが好ましい。従って、この光吸収領域の膜厚は検出されるべき光に対する光吸収係数を考慮して決定できるが、およそその目安としては1000Å～10μm程度である。

き光に対する光吸収係数を考慮して決定できるが、およそその目安としては1000Å～10μm程度である。

【0021】104のp型領域は電極間に印加された電圧を103の光吸収領域と105の増倍領域に所望の電圧が印加できるように印加電圧を分配する機能を有しており、この実施態様例の場合においてはp型、即ち正の空間電荷が存在する半導体領域となっている。具体的にはp型非晶質Si、p型非晶質SiC、p型微結晶Si、など、p型の非単結晶半導体を用いることができ、その不純物濃度は所望の電界分布が得られるように設計することができる。定性的には、不純物濃度が大きいほど、光吸収領域と増倍領域に印加される電界の比は大きくなる。

【0022】105のキャリア増倍領域は103の光吸収領域で生成された光キャリアをアバランシェ増倍する機能を有する。このキャリア増倍領域は、例えば非晶質Si、非晶質SiGe、非晶質SiC等の単層膜の他に、図1に示されるような多層膜、または連続的に組成が変化するようなグレーデッド膜、さらには本発明者らによって特開平3-278482号公報に提案されているようなステップバック構造を有する増倍領域のいずれでもかまわないが、特に、増倍率制御、低ノイズ、低電圧駆動という特性が要求される場合にはステップバック構造を用いるのが好ましい。

【0023】107の正孔注入阻止領域はこの実施態様例の場合、高濃度にドーピングされたn型半導体、例えばn型非晶質Si、n型非晶質SiC、n型非晶質SiN、n型微結晶Si、n型単結晶Si等が好適である。この正孔注入阻止領域は電極からの正孔注入が十分に阻止できる程度の不純物濃度、及び膜厚があればよく、具体的には不純物濃度として $10^{18} \sim 10^{20}$ (個/cm³)程度、膜厚として500～10000Å程度が好ましい。

【0024】108の電極は例えばAl、Cr、Ti、W等の金属、及び化合物を用いることができるが、例えば単結晶半導体上に本発明の光電変換装置を積層して形成される固体撮像装置などの場合には、この電極は無くてもかまわない。

【0025】続いて本発明の最大の特徴である106の電界緩和領域について説明する。

【0026】106の電界緩和領域の目的は105のキャリア増倍領域と107の正孔注入阻止領域との間の電界を緩和し暗電流を低減することにある。この実施態様例においては、電界緩和領域は少なくともn型半導体を含み、具体的にはn型非晶質Si、n型微結晶Si等のn型非単結晶半導体の単層だけでなく、n型非晶質Si/i型非晶質Si等の積層構成、多層構成を用いることができる。また、正孔注入阻止領域側からキャリア増倍領域側へ連続的に不純物濃度が減少するような構成でもよい。

【0027】この電界緩和領域を用いることによって、

従来の構造であるキャリア増倍領域／正孔注入阻止領域接合は、本発明によるキャリア増倍領域／電界緩和領域／正孔注入阻止領域という接合形態となるわけである。本発明においても当然のことながらキャリア増倍領域には所望の電界を印加する必要があるが、本発明の場合は、キャリア増倍領域に用いている材料と正孔注入阻止領域に用いている材料の中間的な材料を電界緩和領域として用いることができるため、キャリア増倍領域／電界緩和領域界面は従来よりも低欠陥化が可能となる。これを具体的な一例を用いて説明する。例えばキャリア増倍領域がi型非晶質Si層、電界緩和領域がn型非晶質Si層、正孔注入阻止領域がn+非晶質Si層とする。従来形態においてはi型非晶質Si／n+型非晶質Si界面に高電界を印加する構成であるが、n+型非晶質Siは高濃度にリンをドーピングしているため接合界面で欠陥を生じやすく、電界印加に伴い暗電流が増加する。

【0028】一方、本発明においては高電界が印加されるi型非晶質Si／n型非晶質Si界面はn型非晶質Siにドーピングされるリンの量はn+型非晶質Siよりも少なく、従って接合界面はi型非晶質Si／n+型非晶質Siよりも低欠陥になる。そして、このn-非晶質Si中に存在する正の空間電荷によってn-非晶質Si／n+非晶質Si界面の電界を従来よりも低減でき、結果として暗電流低減に絶大な効果が得られるわけである。

【0029】ここで、この電界緩和領域を用いることにより、電界緩和領域と正孔注入阻止領域との接合界面近傍の電界がどの程度緩和できるかを具体的に示す。

【0030】図17はキャリア増倍領域に 10^8 (V/cm)の電界が印加されているとき、電界緩和領域と正孔注入阻止領域との接合界面近傍の電界と、電界緩和領域の不純物濃度と膜厚の積との関係を示したものである。なお、ここでは電界緩和領域として一般的なn型半導体を想定している。

【0031】図17の"x"は不純物濃度がゼロ、即ち従来の構成における電界であり、当然のことながら、キャリア増倍領域と電荷注入阻止領域との界面近傍の電界はキャリア増倍領域の電界と等しくなっている。図17から、本発明における電界緩和領域の不純物濃度と膜厚の積を大きくすることで、電界緩和領域と正孔注入阻止領域との接合界面近傍の電界を低減できることがわかる。例えば、電界を 5×10^5 (V/cm)程度に設定したい場合には、不純物濃度と膜厚の積を約 3.3×10^{12} (コ/cm²)に設定すればよいことがわかる。尚、不純物濃度と膜厚との積が大きいほど界面の電界は小さくなるが、不純物濃度が大きくなりすぎると当然のことながら膜質も低下するので、暗電流低減の効果がなくなるので、具体的には不純物濃度と膜厚の積が $5 \times 10^{11} \sim 5 \times 10^{12}$ (コ/cm²)程度が好ましい。

【0032】なお、ここでいう微結晶とは、数十Åから

数百Åの粒径を示す微少な結晶粒が単独で存在する構造または非晶質中に混在した構造と定義する。ここで結晶粒径は、X線回折法及びラマン分光法等により求めることができる。

【0033】さらに、これまで述べてきた実施態様例は本発明のほんの一例であり、本発明はこの実施態様例に制限されるものではない。

【0034】

【実施例】

【実施例1】以下、実施例を用いて本発明の光電変換装置の一具体例を説明する。

【0035】図3は本発明における実施例の光電変換装置の断面構造図、図4は逆バイアス時の模式的なエネルギー帯図である。

【0036】201はITO、202はp+型非晶質Si、203はi型非晶質Si、204はp型非晶質Si、205はi型非晶質Si、206はn型非晶質Si、207はn+型非晶質Si、208はCr、209はガラスである。

【0037】最初にガラス基体209上にスパッタリング法を用いてCr電極208を形成する。続いてプラズマCVD法を用いてn+型非晶質Si207、n型非晶質Si206、i型非晶質Si205、p型非晶質Si204、i型非晶質Si203、p型非晶質Si202を連続的に形成する。

【0038】ここで、n+型非晶質Si207は原料ガスとしてSiH₄、H₂、PH₃を用い、SiH₄とPH₃の比は、PH₃/SiH₄= 10^{-2} である。また、膜厚は1000Åとした。

【0039】n型非晶質Si206はn+型非晶質Siと同様の原料ガスを用いるが、このn型非晶質Si層の場合、SiH₄とPH₃の比は、PH₃/SiH₄= 10^{-4} 、膜厚は300Åである。キャリア増倍領域であるi型非晶質Si205の膜厚は1000Å、光吸収領域であるi型非晶質Si203の膜厚は6000Åであり、これらは原料ガスとしてSiH₄とH₂を用いて形成している。また、p型領域であるp型非晶質Si204の膜厚は500Å、電子注入阻止層であるp+型非晶質Siの膜厚は500Åであり、これらは、原料ガスとしてSiH₄、H₂、B₂H₆を用いて形成している。

【0040】プラズマCVD法を用いてこれらの非晶質半導体領域を形成したのち、スパッタリング法を用いてITO201を形成し、最後にフォトリソグラフィ法でITO201、p+型非晶質Siをパターンニングして素子分離を行って図3に示すような本発明の光電変換装置を得ることができる。

【0041】ここで、比較例として、本実施例における電界緩和領域のn型非晶質Si206の代わりにi型非晶質Siを用いたサンプル、即ち従来技術による光電変換装置を作成し、本実施例と比較した。本実施例、及

び、従来技術において、増倍率が10倍となる電圧を印加したときの暗電流は本実施例の方が約1桁小さく、本発明の有効性が実証された。尚、光応答特性、ガンマ特性は両者とも差異はみられなかった。

【0042】【実施例2】以下、図5、図6を用いて本発明の他の具体例を説明する。

【0043】本実施例は電界緩和領域として、不純物濃度、材料組成を連続的に変化させた例である。

【0044】図5は本発明における実施例の光電変換装置の断面構造図、図6は逆バイアス時の模式的なエネルギー帯図である。

【0045】201はITO、302はp+型非晶質SiC、203はi型非晶質Si、304はp型非晶質Si、205はi型非晶質Si、306はn型非晶質SiN→i型非晶質Si組成変化層、307はn+型非晶質SiN、208はCr電極、209はガラス基体である。

【0046】最初にガラス基体209上にスパッタリング法を用いてCr電極208を形成する。続いてプラズマCVD法を用いてn+型非晶質SiN307、n型非晶質SiN→i型非晶質Si組成変化層306、i型非晶質Si205、p型非晶質SiC304、i型非晶質Si203、p型非晶質SiC302を連続的に形成する。

【0047】ここで、n+型非晶質Si207は原料ガスとしてSiH₄、H₂、PH₃、NH₃を用い、膜厚は800Å、禁制帯幅は2.0eVである。

【0048】n型非晶質SiN→i型非晶質Si組成変化層306はn+型非晶質SiNと同様の成膜条件から原料ガスのうちNH₃とPH₃を連続的に減少させてi型非晶質Siの条件まで変化させる。この実施例においてはn型非晶質SiN→i型非晶質Si組成変化層306の膜厚は500Åであり、禁制帯幅は2.0eVから1.7eVまで変化することになる。キャリア増倍領域であるi型非晶質Si205の膜厚は2000Å、光吸収領域であるi型非晶質Si203の膜厚は8000Åであり、これらの原料ガスとしてSiH₄とH₂を用いて形成している。また、p型領域であるp型非晶質SiC304の膜厚は600Å、禁制帯幅は1.9eV、電子注入阻止層であるp+型非晶質SiCの膜厚は300Å、禁制帯幅は2.1eVであり、これらは、原料ガスとしてSiH₄、H₂、B₂H₆、CH₄を用いて形成している。

【0049】プラズマCVD法によりこれらの非晶質半導体領域を形成したのち、スパッタリング法を用いてITO201を形成し、最後にフォトリソグラフィ法でITO201、p+型非晶質SiC302をパターンニングして素子分離を行い図5に示すような本発明の光電変換装置を得ることができる。

【0050】ここで、比較例として、本実施例における

電界緩和領域のn型非晶質SiN→i型非晶質Si306の代わりにi型非晶質Siを用いたサンプル、即ち従来技術による光電変換装置を作成し、本実施例と比較した。本実施例、及び、従来技術において、増倍率が30倍となる電圧を印加したときの暗電流は本実施例の方が約1/2と小さく、本発明の有効性が実証された。

【0051】【実施例3】本実施例は本発明者らがすでに特開平3-278482号公報で提案しているステップバック構造層をキャリア増倍領域として用いた例を示す。

【0052】図7は本実施例の光電変換装置の断面構造図、図8は本実施例の光電変換装置の逆バイアス印加時のエネルギー帯図である。

【0053】最初にn+c-Si基体407上に容量結合型プラズマCVD装置を用いて電界緩和領域であるn型非晶質Si206を300Å、キャリア増倍領域405を1500Å、第1電界調整層であるp型微結晶Si404を200Å、光吸収層である非晶質Si203を6000Å、電子注入阻止層であるp+型微結晶SiC402を500Åを連続的に形成する。

【0054】ここでキャリア増倍領域405はグレーデット層4051を3段積層した構造を有し、このグレーデット層4051は非晶質SiCから非晶質SiGeへと連続的な禁制帯幅を有するように炭素とシリコン、またはゲルマニウムとシリコンの組成比を連続的に変化させた構造となっており、その膜厚は500Åである。従って、このキャリア増倍領域における最小禁制帯幅E_{g1}は非晶質SiGeの禁制帯幅である1.5eV、最大禁制帯幅E_{g2}は非晶質SiCの禁制帯幅である2.2eVとなる。

【0055】このキャリア増倍領域405は以下に示す方法で作製する。原料ガスにはSiH₄、GeH₄、CH₄、H₂、O₂を用い、おのおの独立したマスフローコントローラー（以下、MFCと略す）で流量制御をして成膜室に供給する。さらに、このMFCはコンピュータにより制御され、所望の禁制帯幅のプロファイルを得ることができるようにガス流量を調節することが可能である。まず最初に原料ガスとして、SiH₄、CH₄、H₂を用いて堆積を始め、堆積を始めると同時にCH₄の流量を、一定の割合で減少させる。CH₄の流量が0になったら、今度はGeH₄を一定の割合で増加させる。そして、グレーデット層4051が所望の膜厚に達したら放電を停止させる。すなわち、所望の組成変化層の膜厚に対して所望の禁制帯幅のプロファイルが得られるようにGeH₄及びCH₄の流量を制御するわけである。

【0056】上述のようにn型非晶質Si206、キャリア増倍領域405、p型微結晶Si404、i型非晶質Si203、p+型微結晶SiCを連続的に作製したのち、透明電極としてITO201をスパッタリング法

により形成し、最後にフォトリソグラフィ法で画素分離を行い本実施例の構成を得ることができる。

【0057】〔実施例4〕本実施例は電界緩和領域がn型半導体とi型半導体の積層構造を有する光電変換装置である。

【0058】図9は本実施例の光電変換装置の断面構造図、図10は本実施例の光電変換装置の逆バイアス印加時のエネルギー帯図である。

【0059】最初にガラス基体209上にCr電極208を形成し、続いて容量結合型プラズマCVD装置を用いて正孔注入阻止層であるn+型非晶質Si208を1000Å、電界緩和領域506となるi型非晶質Si5062とn型非晶質Si5061をおのおの300Åづつ形成し、さらにキャリア増倍領域405を1500Å、第1電界調整層であるp型非晶質Si204を500Å、光吸収層である非晶質Si203を6000Å形成する。プラズマCVD法で半導体領域を形成したのち、電子注入阻止機能を有するショットキ電極としてPt電極501を電子ビーム蒸着法で100Å形成し、本実施例の光電変換装置が実現できる。

【0060】本実施例においては電界緩和領域をi型／n型の構成としているが、本発明は本実施例のように単層の積層だけではなく、多層積層であっても構わない。

【0061】〔実施例5〕本実施例はMOSトランジスタを形成した半導体回路基板上に本発明の光電変換装置を積層した積層型固体撮像装置である。

【0062】図11は本実施例の光電変換装置の断面構造図である。

【0063】p型単結晶シリコン基板601にチャネルストップとなるp+領域、及びソースとなるn領域602、ドレインとなるn領域603を形成する。尚、602のn領域は蓄積容量も兼ねている。続いてゲート酸化膜、ゲート電極となるポリシリコンを形成し、層間絶縁膜堆積後、ドレイン領域にコンタクト孔を開けて読み出し電極604を形成、さらに層間絶縁膜を堆積しソース領域にコンタクト孔を開けて第1画素電極605を形成し、続いて層間絶縁膜を堆積して平坦化を行い、第1画素電極に接続する第2画素電極606を形成する。その後、プラズマCVD法を用いて正孔注入阻止層となるn+型微結晶Si607、電界緩和領域となるn型非晶質Si608を堆積し、その後、フォトリソグラフィ法を用いてn型非晶質Si608、n+型微結晶Si607、第2画素電極606を順次パターニングすることにより素子分離を行う。続いて再びプラズマCVD法を用いてキャリア増倍層609、第1電界調整層となるp型非晶質Si610、光吸収層となるi型非晶質Si611、及び電子注入阻止層となるp型微結晶Si612連続的に堆積する。ここでキャリア増倍層609については、非晶質SiCから非晶質SiGeへと連続的な禁制帯幅を有するように炭素とシリコン、またはゲルマニウ

ムとシリコンの組成比を連続的に変化させたグレーデッド層を5層積層した構造であり、詳細は実施例3と同様である。キャリア増倍層、第1電界調整層、光吸収層、電子注入阻止層を連続的に作製したのち、最後に透明電極としてITO201をスパッタリング法により形成し、本発明の構成を得ることができる。

【0064】〔実施例6〕本実施例は半導体回路基板としてバイポーラ型固体撮像装置を用い、その上に本発明の光電変換装置を光導電膜として積層した例である。

10 【0065】図12は本実施例の受光部付近の概略的断面図、図13は1画素の等価回路図、図14は本装置全体の等価回路、及びブロック等価回路図である。

【0066】図12においてp型シリコン基板701上にエピタキシャル成長によりコレクタ領域となるp層702が形成され、その中にnベース領域703、更にp+エミッタ領域704が形成されバイポーラトランジスタを構成している。このnベース領域は隣接画素と分離されており、また水平方向に隣接するnベース領域との間には酸化膜705を挟んでゲート電極706が形成されている。従って隣接するnベース領域703を各々ソース・ドレイン領域としてpチャンネルMOSトランジスタが構成されている。ゲート電極706はnベース領域703の電位を制御するためのキャパシタとしても働いている。

【0067】更に、絶縁層707を形成した後、エミッタ電極708を形成する。その後、絶縁層709を形成して平坦化を行う。続いて絶縁層707、709、及び酸化膜705をエッチングしてnベース領域に接続する画素電極710を形成する。

30 【0068】次に、高周波プラズマCVD法により、正孔注入阻止層となるn+型非晶質Si207を形成し、さらに電界緩和領域となるn型非晶質Si206、キャリア増倍層405、第1電界調整層となるp型非晶質Si204、光吸収層となるi型非晶質Si203、及び電子注入阻止層となるp型非晶質Si202を連続的に堆積する。ここでキャリア増倍層405については、非晶質SiCから非晶質SiGeへと連続的な禁制帯幅を有するように炭素とシリコン、またはゲルマニウムとシリコンの組成比を連続的に変化させたグレーデッド層を3層積層した構造であり、詳細は実施例3と同様である。そして最後に透明電極としてITO201をスパッタリング法により形成し、本発明の構成を得ることができる。また、コレクタ電極716は基板701の裏面にオーミック接続されている。

40 【0069】従って、1画素の等価回路は図13のように結晶シリコンで構成されるバイポーラトランジスタ731のベースにnチャンネルMOSトランジスタ732とキャパシタ733、及び光電変換素子734が接続され、ベースに電位を与えるための端子735とnチャンネルMOSトランジスタ732、及びキャパシタ733

を駆動するための端子736とセンサ電極737とエミッタ電極738、コレクタ電極739とで表される。

【0070】図14は図12、図13に示した1画素セル740を3×3の2次元マトリックス配置した回路構成図である。同図において1画素セル740のコレクタ電極741は全画素にそれぞれ設けられ、センサ電極742も全画素にそれぞれ設けられている。また、NMOSトランジスタのゲート電極、及びキャパシタ電極は行ごとに駆動配線743、743'、743"と接続され、垂直シフトレジスタ(V. S. R)744と接続されている。また、エミッタ電極は列ごとに信号読みだしのための垂直配線746、746'、746"と接続されている。垂直配線746、746'、746"はそれぞれ垂直配線の電荷をリセットするためのスイッチ747、747'、747"と読みだしスイッチ750、750'、750"に接続されている。リセットスイッチ747、747'、747"のゲート電極は垂直リセットパルスを印加するための端子748に共通接続され、また、ソース電極は垂直ラインリセット電圧を印加するための端子749に接続されている。読みだしスイッチ750、750'、750"のゲート電極はそれぞれ配線751、751'、751"を介して水平シフトレジスタ(H. S. R)752に接続されており、またドレイン電極は水平読み出し配線753を介して出力アンプ757に接続されている。水平読みだし配線753は水平読みだし配線の電荷をリセットするためのスイッチ754に接続されている。

【0071】リセットスイッチ754は水平配線リセットパルスを印加するための端子755と水平配線リセット電圧を印加するための端子756に接続される。そしてアンプ出力757の出力は端子758から取り出される。

【0072】以下図12、図14を用いて動作を簡単に説明する。

【0073】図12の光吸収層203で入射された光が吸収され、発生したキャリアが増倍層405で増倍されベース領域703内に蓄積される。図14の垂直シフトレジスタから出力される駆動パルスが駆動配線743に現れるとキャパシタを介してベース電位が上昇し1行目の画素から光量に応じた信号電荷が垂直配線746、746'、746"にそれぞれ取り出される。

【0074】次に水平シフトレジスタ752から走査パルスが751、751'、751"に順次出力されると、スイッチ750、750'、750"が順にON、OFF制御され、信号がアンプ757を通して出力端子758に取り出される。この際リセットスイッチ754はスイッチ750、750'、750"が順番にON動作する間にON状態となり、水平配線753の残留電荷を除去している。

【0075】次に垂直ラインリセットスイッチ747、

747'、747"がON状態となり垂直配線746、746'、746"の残留電荷除去される。そして垂直シフトレジスタ744から駆動配線743に負方向のパルスが印加されると1行面の各画素のnMOSトランジスタがON状態となり、各画素のベース残留電荷が除去され初期化される。

【0076】次に垂直シフトレジスタ744から出力される駆動パルスが駆動配線743'に現れ、2行目の画素信号が同様に取り出される。

【0077】次に3行面の画素の信号電荷の取り出しも同様に行われる。

【0078】以上の動作を繰り返すことにより本装置は動作する。

【0079】

【発明の効果】以上述べたように、本発明によれば、電荷注入阻止領域と同じ導電型で、かつ電荷注入阻止領域よりも不純物濃度が小さい電界緩和領域を新たに設け、キャリア増倍領域/電界緩和領域/電荷注入阻止領域という接合形態とすることにより、キャリア増倍領域に用いている材料と電荷注入阻止領域に用いている材料の中間的な材料を電界緩和領域として用いることができるため、キャリア増倍領域/電界緩和領域界面は従来よりも低欠陥化が可能となる。

【0080】また、この電界緩和領域により、キャリア増倍領域と電荷注入阻止領域との間の電界を緩和し、界面欠陥に起因する暗電流を低減することが可能となる効果が得られる。

【0081】従って、本発明の光電変換装置により、低暗電流の増倍型光電変換装置や、積層型固体撮像装置等の供給が可能となる。

【図面の簡単な説明】

【図1】本発明の光電変換装置の実施態様例における断面構造図である。

【図2】本発明の光電変換装置の実施態様例における逆バイアス時の模式的なエネルギー帯図である。

【図3】本発明の光電変換装置の第1実施例における断面構造図である。

【図4】本発明の光電変換装置の第1実施例における逆バイアス時の模式的なエネルギー帯図である。

【図5】本発明の光電変換装置の第2実施例における断面構造図である。

【図6】本発明の光電変換装置の第2実施例における逆バイアス時の模式的なエネルギー帯図である。

【図7】本発明の光電変換装置の第3実施例における断面構造図である。

【図8】本発明の光電変換装置の第3実施例における逆バイアス時の模式的なエネルギー帯図である。

【図9】本発明の光電変換装置の第4実施例における断面構造図である。

【図10】本発明の光電変換装置の第4実施例における

逆バイアス時の模式的なエネルギー帯図である。

【図11】本発明の光電変換装置の第5実施例における断面構造図である。

【図12】本発明の光電変換装置の第6実施例における断面構造図である。

【図13】本発明の光電変換装置の第6実施例における1画素の等価回路図である。

【図14】本発明の光電変換装置の第6実施例における回路構成図である。

【図15】従来の光電変換装置における断面構造図、及び逆バイアス時のエネルギー帯図である。

【図16】従来の光電変換装置における断面構造図、及び逆バイアス時のエネルギー帯図である。

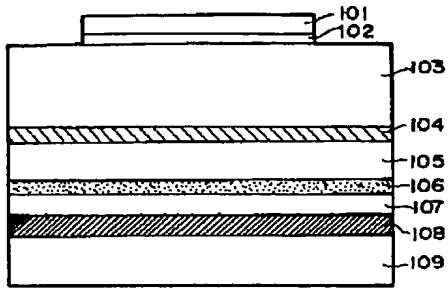
【図17】本発明に用いる電界緩和領域の不純物濃度と膜厚の積に対する、電界緩和領域/電荷注入素子領域界面近傍の電界を示したグラフである。

【符号の説明】

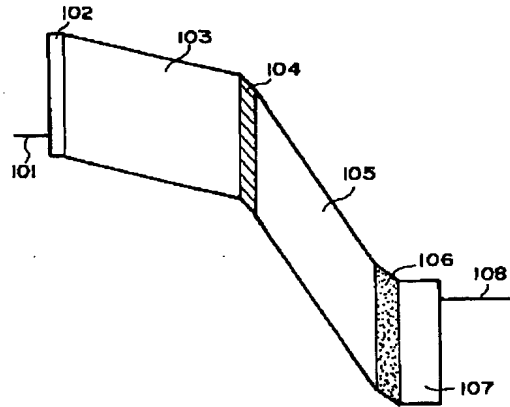
101 透明電極
102 電子注入阻止領域
103 光吸収領域
104 p型領域
105 キャリア増倍領域
106 電界緩和領域
107 正孔注入阻止領域
108 電極
109 基体
110 ITO
202 p+型非晶質Si
203 i型非晶質Si
204 p型非晶質Si
205 i型非晶質Si
206 n型非晶質Si
207 n+型非晶質Si
208 Cr電極
209 ガラス基体
302 p+型非晶質SiC
304 p型非晶質Si
306 n型非晶質SiN→i型非晶質Si組成変化層
307 n+型非晶質SiN
402 p+型微結晶SiC
404 p型微結晶Si
405 キャリア増倍領域
4051 グレーデッド層(非晶質SiC→非晶質SiGe組成変化層)
407 n+型単結晶Si基体
501 Pt電極
506 電界緩和領域
5061 n型非晶質Si

5062 i型非晶質Si
601 p型単結晶Si基板
602 n型ソース領域
603 n型ドレイン領域
604 信号読みだし電極
605 第1画素電極
606 第2画素電極
607 n+型微結晶Si
608 n型非晶質Si
609 キャリア増倍層
610 p型非晶質Si
611 i型非晶質Si
612 p型微結晶Si
701 p+型単結晶Si基体
702 p-層
703 nベース領域
706 ゲート電極
707 絶縁層
708 エミッタ電極
709 絶縁層
710 画素電極
716 コレクタ電極
731 バイポーラトランジスタ
732 NチャンネルMOSトランジスタ
733 キャパシタ
734 光電変換装置
735 端子
736 端子
737 センサ電極
738 エミッタ電極
739 コレクタ電極
740 1画素セル
741 コレクタ電極
742 センサ電極
743, 743', 743" 駆動配線
744 垂直シフトレジスタ(V.S.R.)
746, 746', 746" 垂直配線
747, 747', 747" リセットスイッチ
750, 750', 750" 読みだしスイッチ
748 端子
749 端子
751, 751', 751" 配線
752 水平シフトレジスタ(H.S.R.)
753 水平読みだし配線
754 リセットスイッチ
755 端子
756 端子
757 アンプ
758 端子

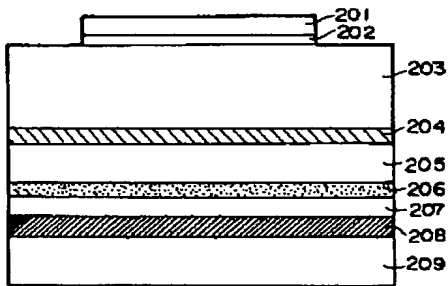
【図 1】



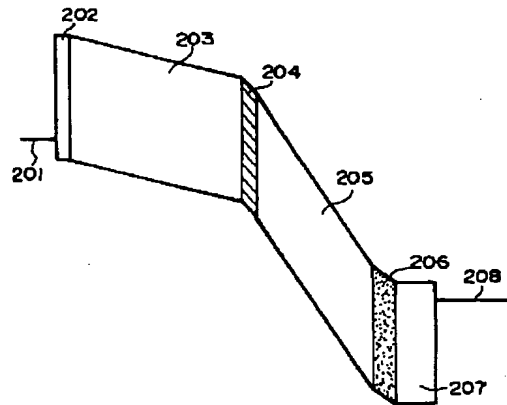
【図 2】



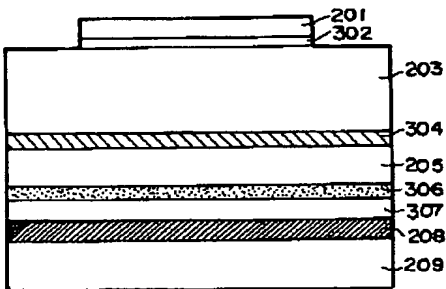
【図 3】



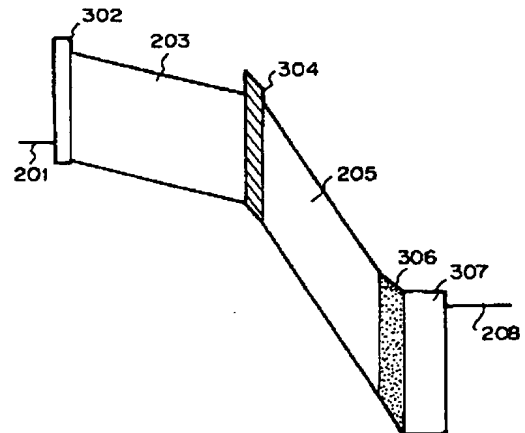
【図 4】



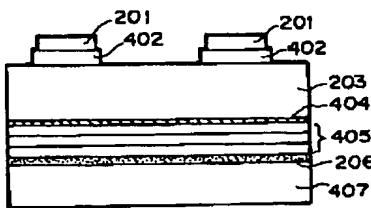
【図 5】



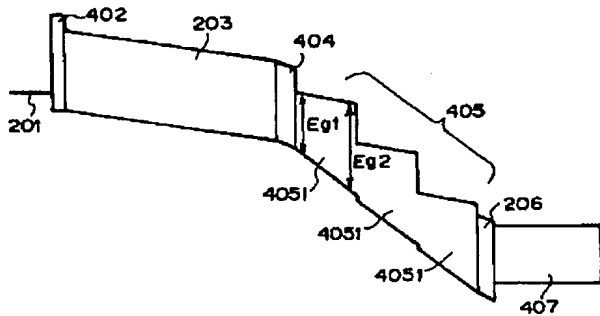
【図 6】



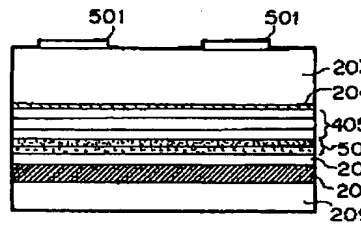
【図 7】



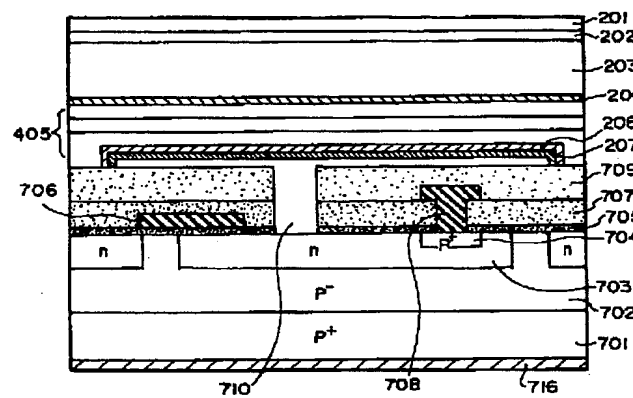
【図 8】



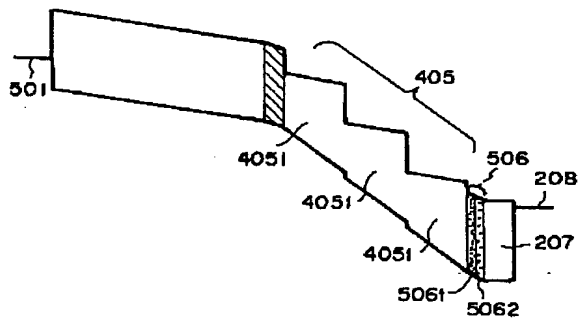
【図 9】



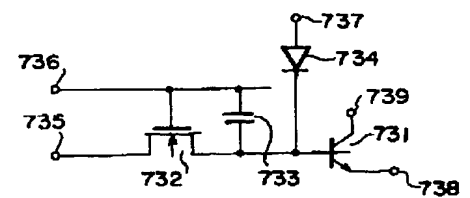
【图 12】



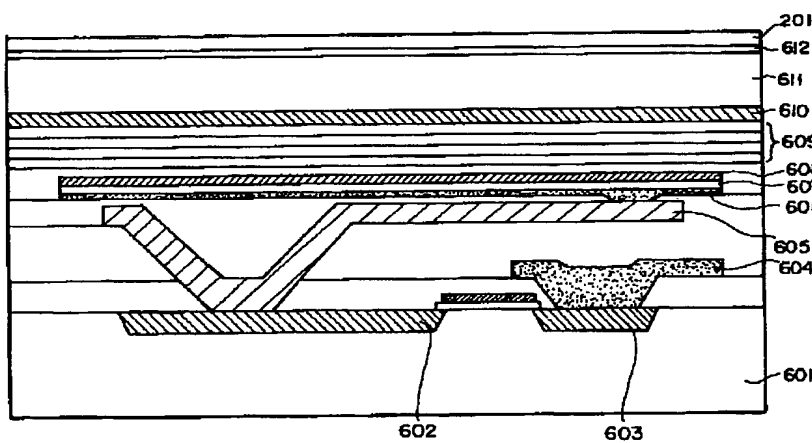
【図 10】



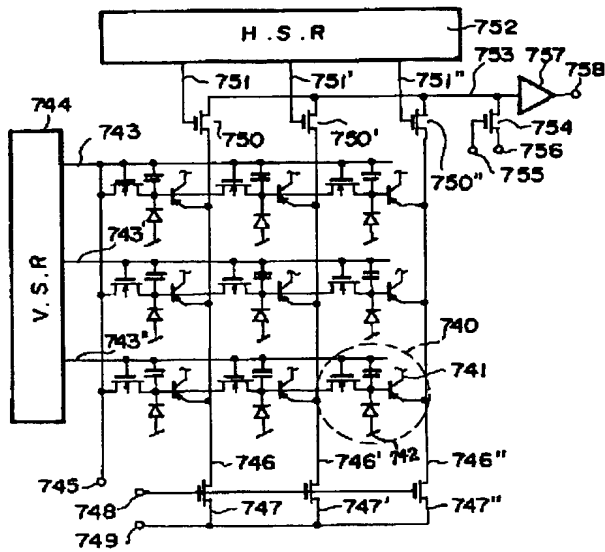
【图 13】



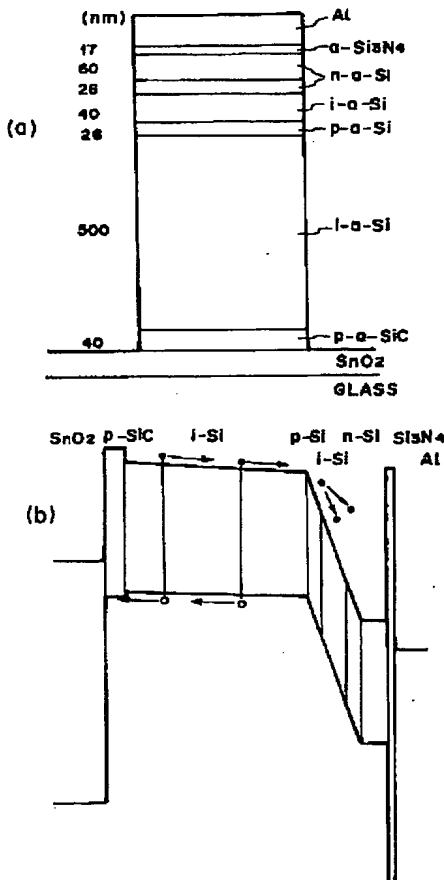
【图 1 1】



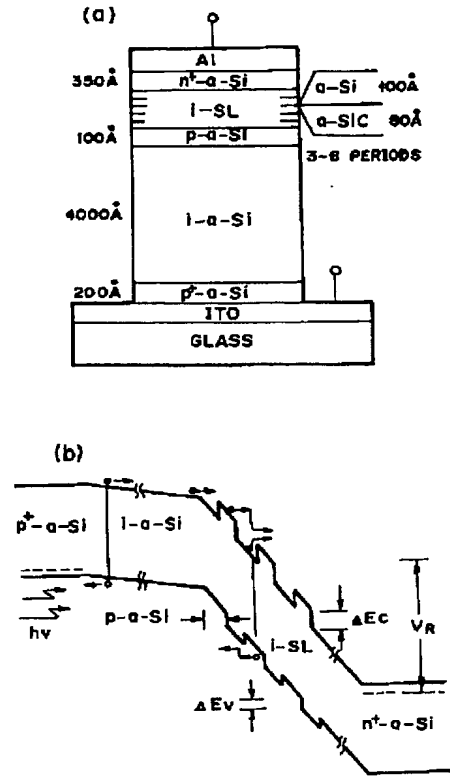
【図14】



【図16】



【図15】



【図17】

